

Thiết kế và mô hình hoá bộ xử lý lô-gic mờ trong điều khiển tần số - điện áp

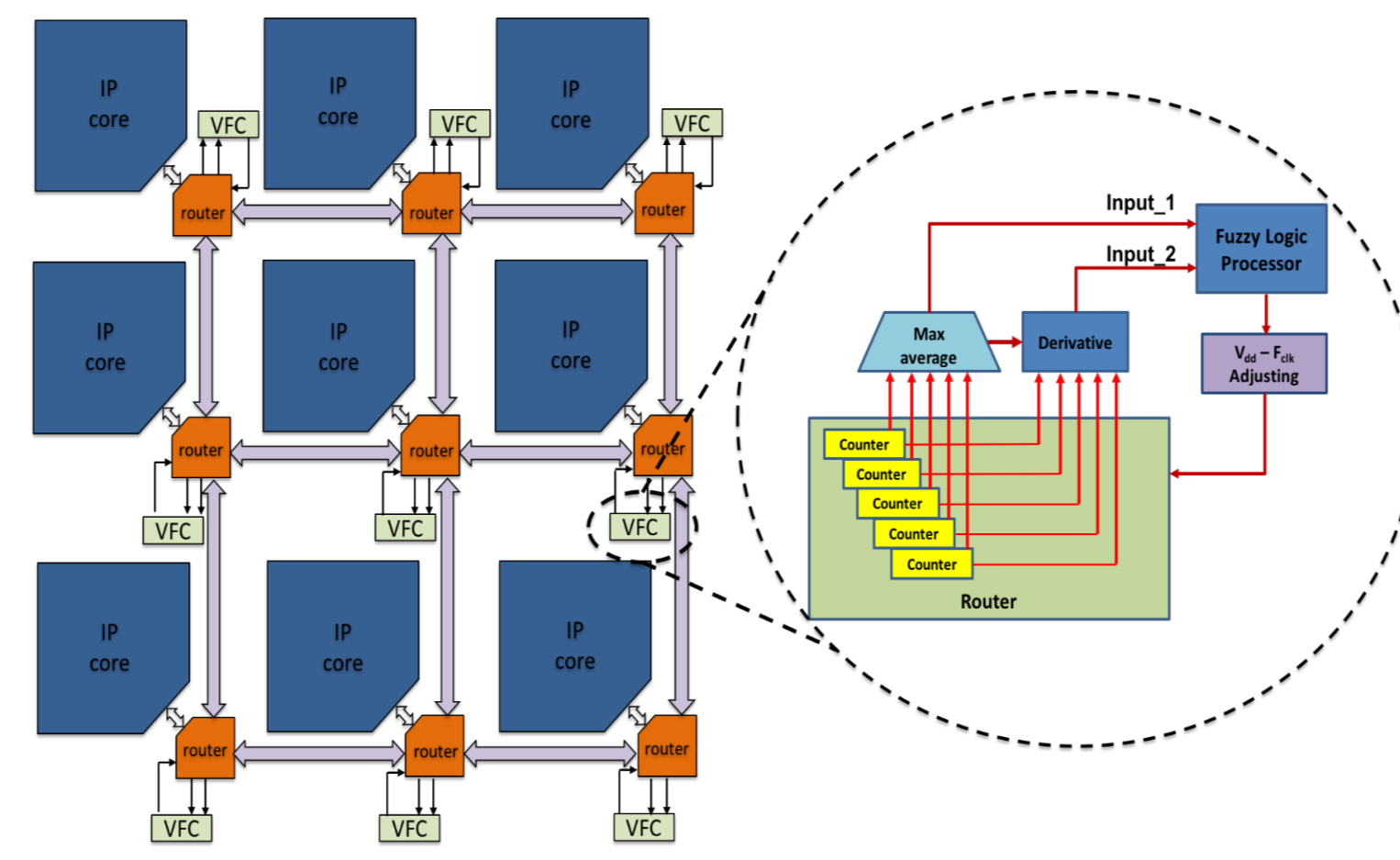
Phan Hải Phong, Trần Xuân Tú
{phongph.de12, tutx}@vnu.edu.vn
VNU-UET/SIS Laboratory

Tóm tắt: Trong bài báo này, chúng tôi trình bày việc thiết kế một bộ điều khiển sử dụng thuật toán lô-gic mờ có khả năng dự đoán lưu lượng truyền thông của một bộ định tuyến trong mạng trên chip (NoC: Network-on-Chip). Từ đó, bộ điều khiển này sẽ tác động đến tần số và điện áp hoạt động của bộ định tuyến một cách phù hợp nhằm giảm thiểu năng lượng tiêu thụ của bộ định tuyến này theo phương pháp điều khiển tỷ lệ điện áp - tần số động (DVFS: Dynamic Voltage and Frequency Scaling) trong khi vẫn đảm bảo được hiệu năng hoạt động theo yêu cầu của bộ định tuyến. Bộ xử lý lô-gic mờ (FLP), phần lõi của thiết kế, đã được mô hình hoá bằng ngôn ngữ mô tả phần cứng VHDL. Hoạt động của bộ xử lý mờ được mô phỏng và kiểm chứng bằng phần mềm mô phỏng ModelSim của hãng Mentor Graphics.

Từ khoá: Low-power; Network on Chip; DVFS; Fuzzy logic

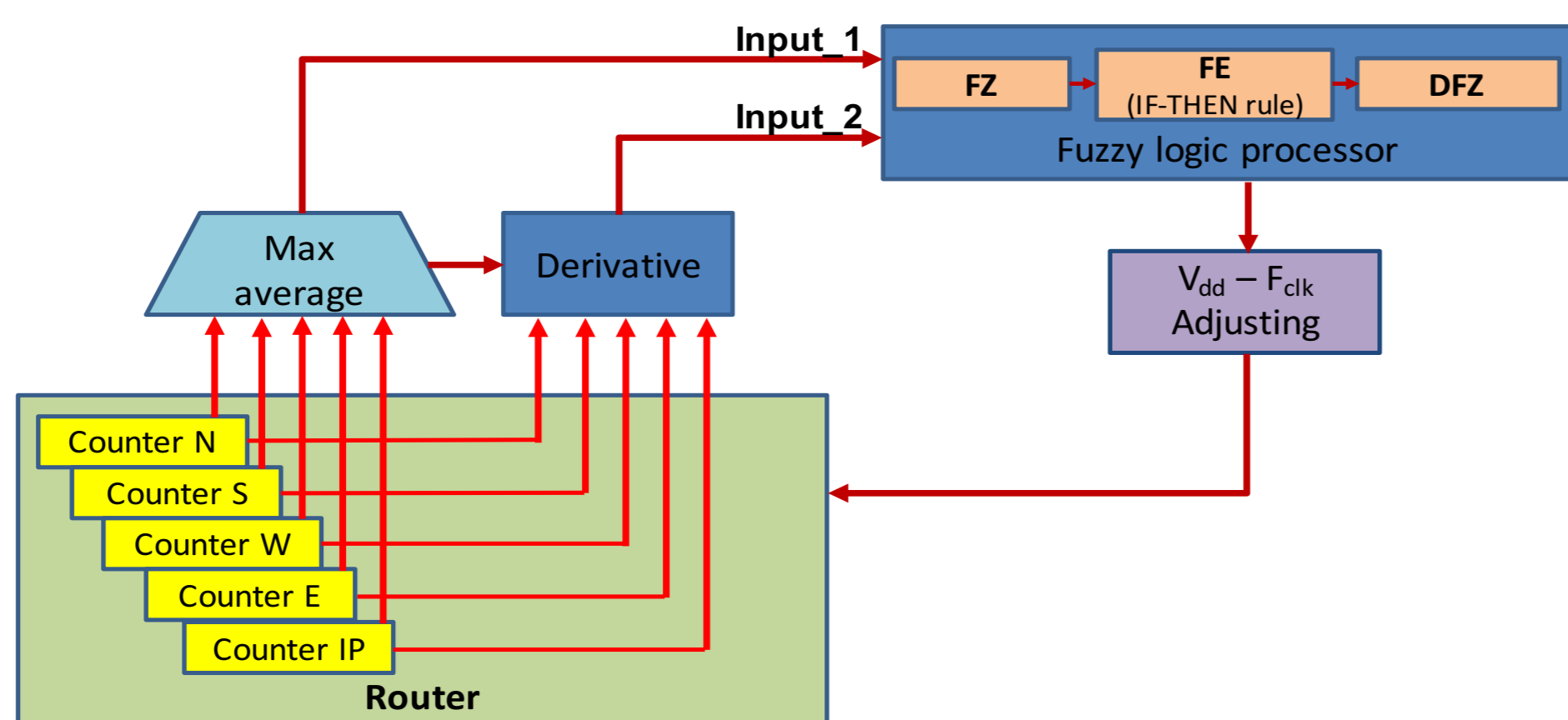
Mô hình khối điều khiển tần số - điện áp

- Lưu lượng truyền thông qua một bộ định tuyến là đại lượng phản ánh mức độ hoạt động của bộ định tuyến đó.
- Lưu lượng truyền thông lớn, bộ định tuyến cần phải được cấp tần số cũng như điện áp hoạt động cao hơn để đáp ứng tốc độ truyền dữ liệu cao và ngược lại.
- Cần thiết kế một bộ điều khiển để:
 - Giám sát lưu lượng truyền thông qua bộ định tuyến.
 - Dự đoán lưu lượng truyền thông qua bộ định tuyến.
 - Quyết định tăng hoặc giảm tần số - điện áp một cách phù hợp nhằm giảm tối đa công suất tiêu thụ của bộ định tuyến.



Hình 1. Mô hình hệ thống NoC được bổ sung khối điều khiển tần số - điện áp.

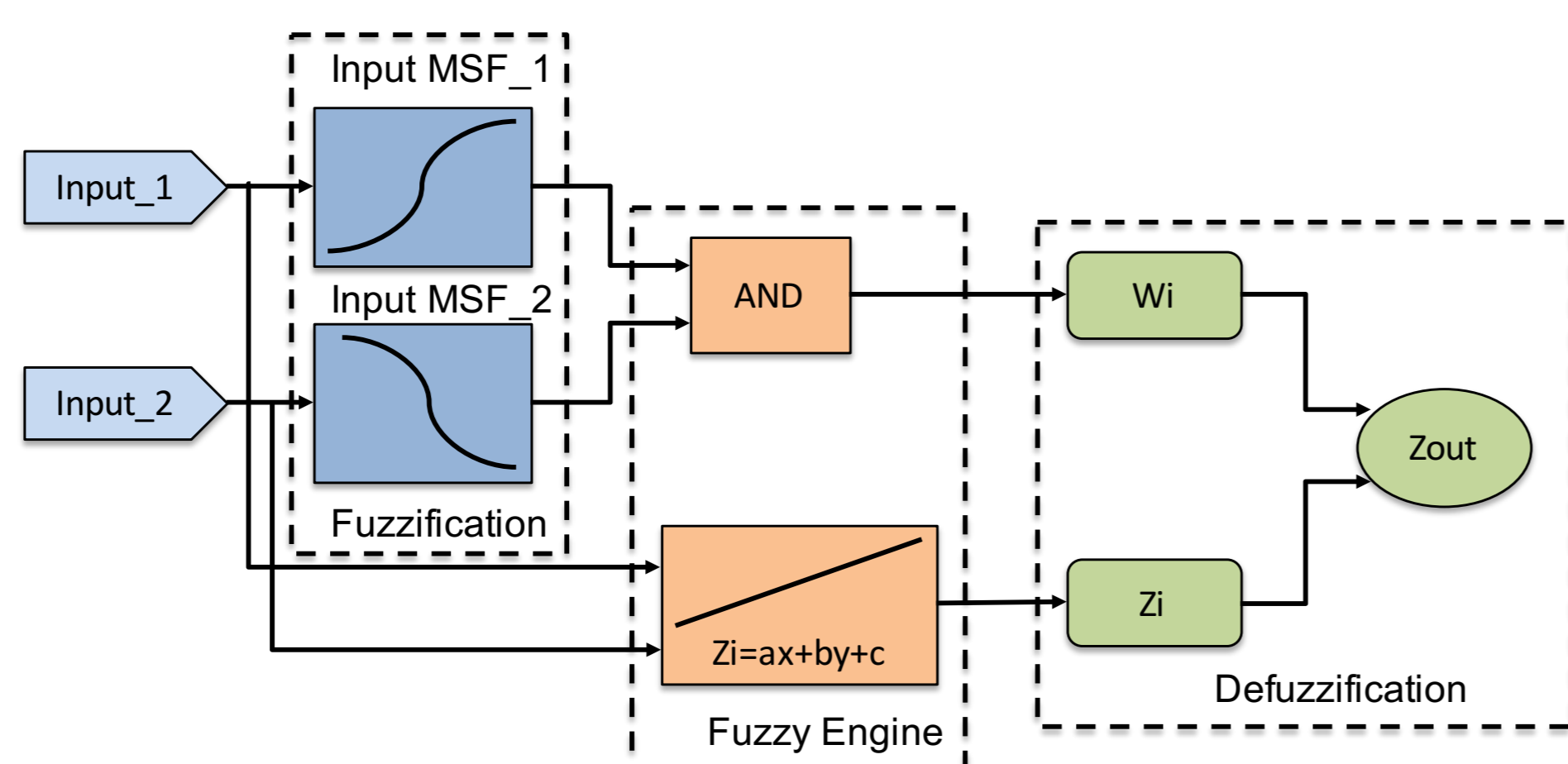
Để đơn giản hoá cấu trúc của bộ giám sát lưu lượng, đồng thời để giảm thiểu được tài nguyên thực thi hệ thống, chúng tôi đề xuất sử dụng mô hình lô-gic mờ để áp dụng cho quá trình dự đoán lưu lượng và đưa ra quyết định về điều khiển tần số - điện áp. Hệ thống được đề xuất sẽ bao gồm các khối như mô tả ở trong Hình 2.



Hình 2. Mô hình khối điều khiển tần số - điện áp được đề xuất.

Thiết kế và mô hình hoá bộ xử lý logic mờ

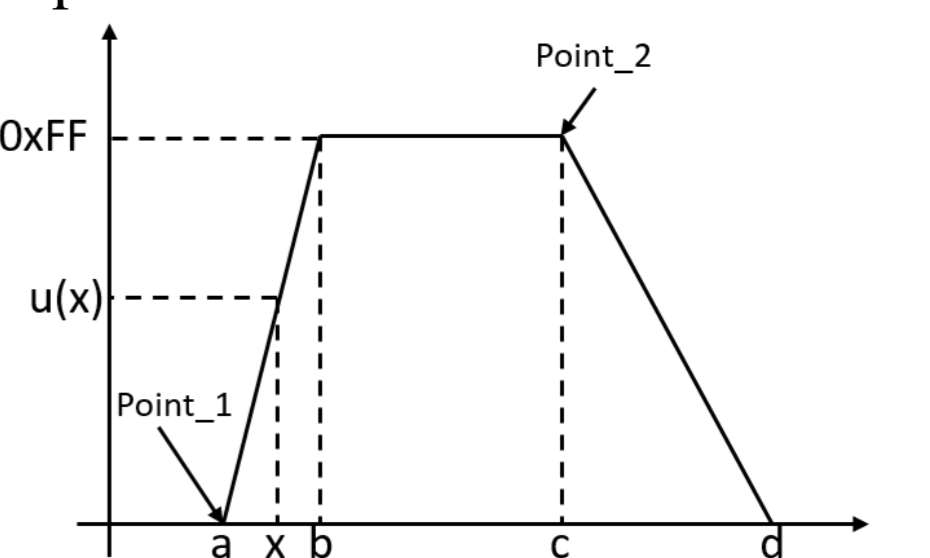
Mô hình bộ FLP được đề xuất là một xử lý lô-gic mờ với hai đầu vào, một đầu ra, sử dụng mô hình Sugeno bậc 0. Mô hình này được thực thi với các khối con như ở Hình 3.



Hình 3. Sơ đồ khối của bộ xử lý lô-gic mờ theo mô hình Sugeno.

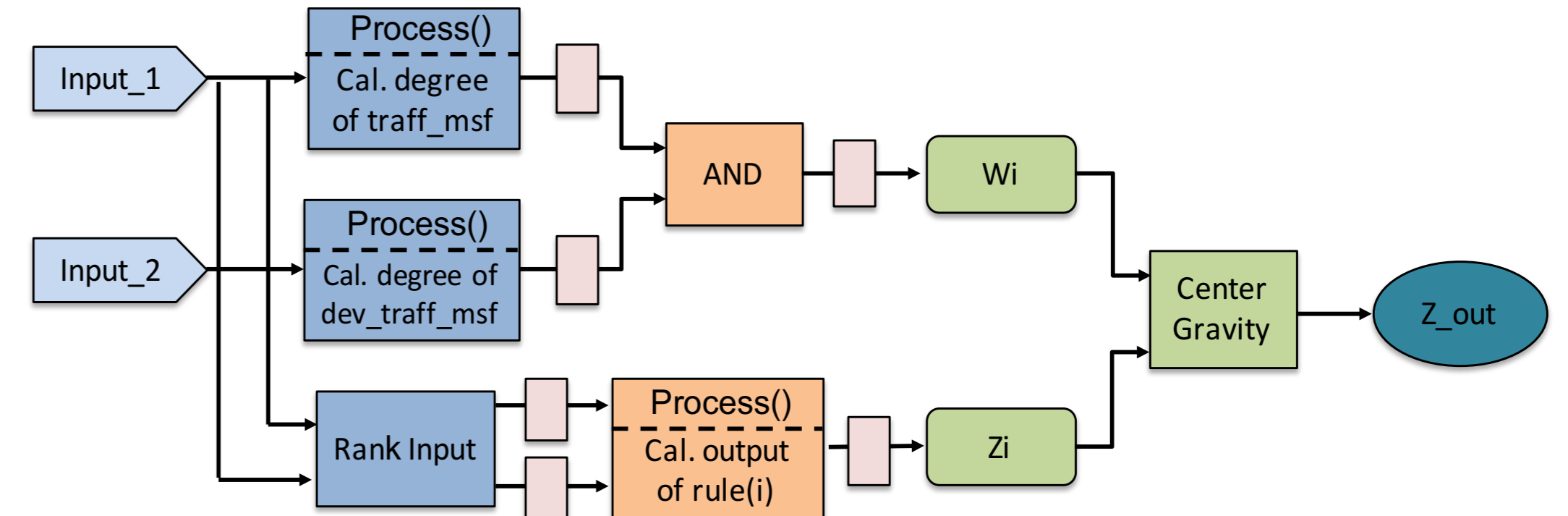
Bộ xử lý logic mờ được chia thành các khối con như sau:

- Khối mờ hoá **FZ** được thực thi với hai khối con **input_MSF**:
 - Tính toán giá trị liên thuộc của các đầu vào **input_1** và **input_2**.
 - Sử dụng hàm liên thuộc dạng tam giác để đơn giản quá trình mô hình hoá.
- Khối “động lực” **FE** bao gồm:
 - Khối **AND-rule** xác định giá trị trọng số cho từng quy luật hợp thành.
 - Khối **Zi** được dùng để tính toán giá trị đầu ra của mỗi quy luật hợp thành tương ứng. Với số lượng các hàm liên thuộc được đề xuất thì có tổng cộng 15 quy luật hợp thành được xác định.
- Khối giải mờ **DZ** được thực thi như một quá trình tính toán giá trị đầu ra cuối cùng của bộ FLP dựa trên các giá trị trọng số w_i và giá trị đầu ra của từng quy luật hợp thành z_i theo phương pháp trọng tâm.



Hình 4. Mô tả hàm liên thuộc hình thang.

Toàn bộ các khối này sau đó được mô hình hoá bằng ngôn ngữ mô tả phần cứng VHDL dưới dạng các Process. Việc mô hình hoá bộ FLP bằng ngôn ngữ VHDL ở mức RTL được mô tả như trong Hình 5.

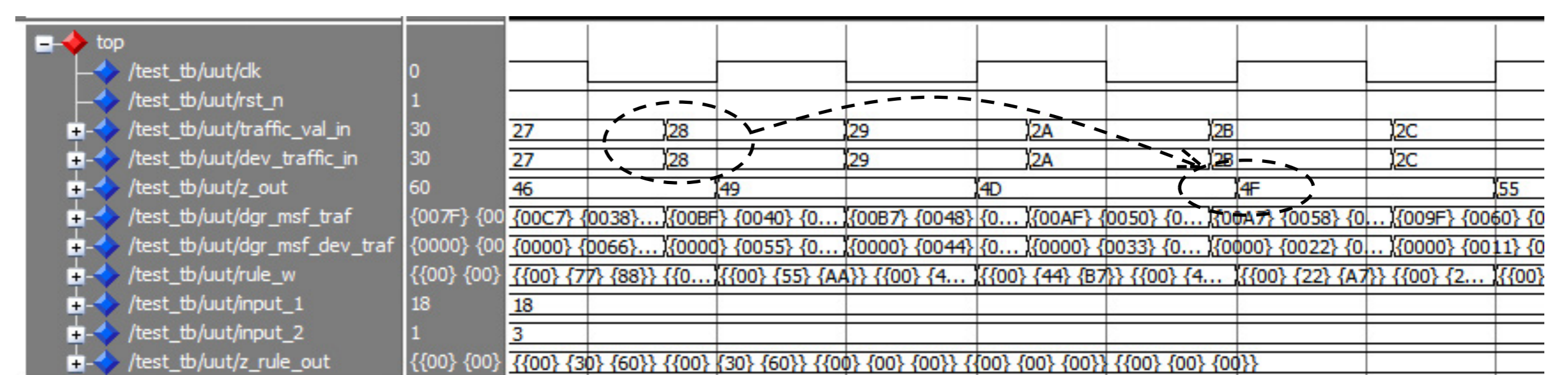


Hình 5. Sơ đồ quá trình mô hình hoá bộ FLP bằng VHDL.

Kết quả mô phỏng

Sau khi được mô hình hoá bằng ngôn ngữ VHDL, bộ FLP sẽ được mô phỏng bằng phần mềm ModelSim để kiểm chứng các hoạt động của từng khối con cũng như hoạt động của toàn khối FLP.

Các dữ liệu đầu vào sẽ được tự động tạo ra một cách ngẫu nhiên và đưa vào các đầu vào **input_1** và **input_2**. Giá trị của dữ liệu vào sẽ được giới hạn trong khoảng giá trị cực đại của các hàm liên thuộc. Bằng cách quan sát dạng sóng của các tín hiệu ra và giá trị của đầu ra cuối cùng **Z_out** cũng như so sánh kết quả này với giá trị tính toán được, ta sẽ khẳng định được hoạt động của bộ FLP là đúng hay không.



Hình 4. Kết quả dạng sóng của quá trình mô phỏng bộ FLP.

Từ kết quả mô phỏng, có thể kết luận là bộ FLP đã thực hiện đúng các chức năng như đã được đề xuất trong mô hình trước đó.

Kết luận

Bài báo này tập trung vào việc giới thiệu mô hình một khối điều khiển tần số - điện áp sử dụng thuật toán lô-gic mờ có thể áp dụng để tối ưu công suất tiêu thụ cho bộ định tuyến của mạng trên chip.

Mô hình của bộ xử lý lô-gic mờ, phần lõi quan trọng của bộ điều khiển tần số - điện áp, đã được mô hình hoá bằng ngôn ngữ VHDL ở mức RTL. Các kết quả mô phỏng cho thấy bộ FLP đã hoạt động đúng theo yêu cầu của mô hình đề ra ban đầu.

Lời cảm ơn

Nghiên cứu này được tài trợ bởi Quỹ phát triển khoa học và công nghệ quốc gia (NAFOSTED) trong đề tài mã số 102.01-2013.17.

Toàn văn bài báo: “Hai-Phong Phan, Xuan-Tu Tran, A fuzzy-logic based voltage-frequency controller for network-on-chip, Proceedings of the 11th Conference on PhD Research in Microelectronics and Electronics (IEEE PRIME), IEEE, Glasgow, Scotland, 2015.”